

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-211975

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 3/00  
1/18

識別記号 B  
X

F I  
G 0 6 F 1/00  
3 2 0

技術表示箇所  
H

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21)出願番号 特願平7-304087  
(22)出願日 平成7年(1995)11月22日  
(31)優先権主張番号 特願平6-292993  
(32)優先日 平6(1994)11月28日  
(33)優先権主張国 日本(J P)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 大坂 英樹  
神奈川県横浜市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内  
(72)発明者 山際 明  
神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内  
(72)発明者 栗原 良一  
神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内  
(74)代理人 弁理士 小川 勝男

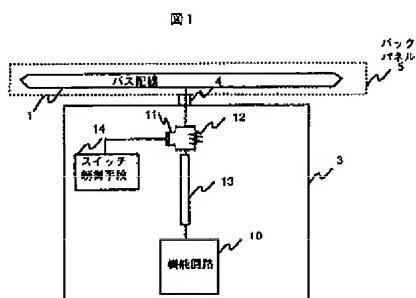
最終頁に続く

(54)【発明の名称】データ転送システム及びコンピュータシステム並びに活線挿抜用機能回路基板

(57)【要約】

【課題】バスの高速化と活線挿抜とを可能にしたデータ転送システム及びコンピュータシステム並びにそれに用いる活線挿抜用機能回路基板を提供すること。

【解決手段】データを転送するバス1を備えたデータ転送システムまたはデータを転送するバスをコンピュータに接続したコンピュータシステムにおいて、機能回路10と、機能回路10の入出力信号路に並列接続したプリチャージ用抵抗12とスイッチング素子11と、該スイッチング素子11の導通を制御するスイッチング制御手段14とを備えた機能回路基板3を、前記並列接続したプリチャージ用抵抗12とスイッチング素子11との入出力端に設けられたコネクタ4により前記バスに対して挿抜可能に形成する。



## 【特許請求の範囲】

【請求項1】データを転送するバスを備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続した抵抗とスイッチング素子とを備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項2】前記機能回路基板のスイッチング素子として、MOS電界効果型トランジスタで形成することを特徴とする請求項1記載のデータ転送システム。

【請求項3】前記機能回路基板の抵抗を、 $200\Omega$ 以上の抵抗値で形成したことを特徴とする請求項1記載のデータ転送システム。

【請求項4】前記機能回路基板の抵抗を、 $1100\Omega$ 以下の抵抗値で形成したことを特徴とする請求項1記載のデータ転送システム。

【請求項5】データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項6】データを転送するバスを備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続した抵抗とスイッチング素子とを備え、該スイッチング素子の導通を、前記バスのデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項7】データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備え、前記スイッチング素子の導通を、前記バス配線においてデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項8】データを転送するバスを備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備え、該スイッチング素子の導通を、基板挿入完了信号に基づいて制御するスイッチング制御

手段を備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項9】データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備え、前記スイッチング素子の導通を、基板挿入完了信号に基づいて制御するスイッチング制御手段を備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項10】データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備え、前記スイッチング素子の導通を、前記バス配線においてデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化し、基板挿入完了信号に基づいて制御するスイッチング制御手段を備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システム。

【請求項11】データを転送するバスをコンピュータに接続したコンピュータシステムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするコンピュータシステム。

【請求項12】データを転送するバスをコンピュータに接続したコンピュータシステムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備え、該スイッチング素子の導通を、前記バスのデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするコンピュータシステム。

【請求項13】機能回路を設け、該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗及びスイッチング素子をコネクタの近傍に該コネクタに接続して備えたことを特徴とする活線挿抜用機能回路基板。

【請求項14】機能回路を設け、該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗及びスイッチング素子をコネクタの近傍に該コネクタに接続し

て備え、バスにおいてデータ転送に用いられるバスクロックを入力する入力手段を有し、該入力手段で入力されたバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えたことを特徴とする活線挿抜用機能回路基板。

【請求項15】機能回路を設け、該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗及びスイッチング素子をコネクタの近傍に該コネクタに接続して備え、バスにおいてデータ転送に用いられるバスクロックと基板挿入完了信号とを入力する入力手段を有し、該入力手段で入力されたバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化し、前記入力手段で入力された基板挿入完了信号に基づいて制御するスイッチング制御手段を備えたことを特徴とする活線挿抜用機能回路基板。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、活線挿抜可能な機能回路基板及びそれを用いたデータ転送システム及びコンピュータシステムに関する。

##### 【0002】

【従来の技術】コンピュータを初めとする電子情報処理装置は、処理性能・信頼性の向上が要求されている。特に電子情報処理装置内の多数の機能回路を接続するバスにおいては、バス動作を停止或いは休止させずに、即ち、バスのデータ転送を中断せずに、このバスに接続された機能回路を抜去あるいは新たな機能回路を接続させて保守を行うために活線挿抜技術が必要になっている。

【0003】この活線挿抜に関する従来技術として、特開平2-125314号公報および特開平4-88409号公報が知られている。前者の従来技術は、バス配線と機能回路間にバスインターフェース回路を設けて、このバスインターフェース回路の動作をオン・オフ制御することでバス動作を休止させることなく挿抜を実現するものである。また後者の従来技術は、バス配線と機能回路間にMOS電界効果トランジスタ等のスイッチング素子を設けてこれをオン・オフすることにより活線挿抜を実現するものである。

##### 【0004】

【発明が解決しようとする課題】前者の従来技術においては、バスインターフェース回路を新たに設けることによりこのバスインターフェース回路における信号遅延時間が余分に必要となる。即ち、前記バスインターフェース回路を、バイポーラ或いはMOSトランジスタで構成する場合、この遅延時間は約2~10nsとなってしまう。その結果、バス動作周波数の向上が制限されてしまい、バスの高速化を図ることが難しいという課題を有していた。このように、前者の従来技術においては、バスの高速化に対応できるようにする点について考慮されていな

かった。

【0005】また、後者の従来技術においては、スイッチング素子での遅延は小さく高速化に適している。しかし、機能回路と、機能回路とスイッチング素子を繋ぐ線路の持つ静電容量により、スイッチングした瞬間にバス信号にノイズが生じ、このノイズのためにバス上の他の機能回路が誤動作してしまうという課題があった。上記の如く、バス上にノイズが生じるのは、バスの電位と挿入される機能回路の線路の電位が異なる場合、スイッチング素子が導通した瞬間にこの電位差のため充放電が生じるからである。

【0006】本発明の目的は、上記従来技術の課題を解決すべく、稼働中の装置及び装置内のバス転送を停止或いは休止させることなく機能回路基板を活線挿抜可能にした、データ転送システム及びコンピュータシステム並びにそこに用いる活線挿抜可能な機能回路基板を提供することにある。また本発明の目的は、バスの高速化に対応でき、バス上の他の機能回路が誤動作しないように機能回路基板を活線挿抜可能にしたデータ転送システム及びコンピュータシステム並びに活線挿抜用機能回路基板を提供することにある。

##### 【0007】

【課題を解決するための手段】上記目的を達成するために、本発明は、データを転送するバスを備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続した抵抗とスイッチング素子とを備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0008】また本発明は、データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0009】また本発明は、データを転送するバスを備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備え、該スイッチング素子の導通を、前記バスのデータ転送に用いられるバスクロックを該バスロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0010】また本発明は、データを転送するバス配線

を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備え、前記スイッチング素子の導通を、前記バス配線においてデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0011】また本発明は、データを転送するバスを備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備え、該スイッチング素子の導通を、基板挿入完了信号に基づいて制御するスイッチング制御手段を備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0012】また本発明は、データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備え、前記スイッチング素子の導通を、基板挿入完了信号に基づいて制御するスイッチング制御手段を備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0013】また本発明は、データを転送するバス配線を備えたデータ転送システムであって、機能回路を設け、更に該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗とスイッチング素子とをコネクタの近傍に該コネクタに接続して備え、前記スイッチング素子の導通を、前記バス配線においてデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化し、基板挿入完了信号に基づいて制御するスイッチング制御手段を備えた機能回路基板を、前記コネクタにより前記バス配線に対して挿抜可能に形成したことを特徴とするデータ転送システムである。

【0014】また本発明は、データを転送するバスをコンピュータに接続したコンピュータシステムであって、機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするコンピュータシステムである。

【0015】また本発明は、データを転送するバスをコンピュータに接続したコンピュータシステムであって、

機能回路を設け、更に該機能回路の入出力信号路に並列接続したプリチャージ用抵抗とスイッチング素子とを備え、該スイッチング素子の導通を、前記バスのデータ転送に用いられるバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えた機能回路基板を、前記並列接続した抵抗とスイッチング素子との入出力端に設けられたコネクタにより前記バスに対して挿抜可能に形成したことを特徴とするコンピュータシステムである。

【0016】また本発明は、機能回路を設け、該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗及びスイッチング素子をコネクタの近傍に該コネクタに接続して備えたことを特徴とする活線挿抜用機能回路基板である。

【0017】また本発明は、機能回路を設け、該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗及びスイッチング素子をコネクタの近傍に該コネクタに接続して備え、バスにおいてデータ転送に用いられるバスクロックを入力する入力手段を有し、該入力手段で入力されたバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化して制御するスイッチング制御手段を備えたことを特徴とする活線挿抜用機能回路基板である。

【0018】また本発明は、機能回路を設け、該機能回路の入出力信号路上において並列接続したプリチャージ用抵抗及びスイッチング素子をコネクタの近傍に該コネクタに接続して備え、バスにおいてデータ転送に用いられるバスクロックと基板挿入完了信号とを入力する入力手段を有し、該入力手段で入力されたバスクロックを該バスクロック周期以下で遅延させた遅延クロックを用いて同期化し、前記入力手段で入力された基板挿入完了信号に基づいて制御するスイッチング制御手段を備えたことを特徴とする活線挿抜用機能回路基板である。

【0019】また本発明は、前記データ転送システムまたはコンピュータシステムまたは活線挿抜用機能回路基板において、前記機能回路基板のスイッチング素子として、MOS電界効果型トランジスタで形成することを特徴とする。また本発明は、前記データ転送システムまたはコンピュータシステムまたは活線挿抜用機能回路基板において、前記機能回路基板の抵抗を、 $200\Omega$ 以上の抵抗値で形成したことを特徴とする。また本発明は、前記データ転送システムまたはコンピュータシステムまたは活線挿抜用機能回路基板において、前記機能回路基板の抵抗を、 $1300\Omega$ 以下の抵抗値で形成したことを特徴とする。

【0020】即ち、本発明は、バスに接続される機能回路基板上の入出力信号路上に、抵抗を並列接続したスイッチング素子を設け、前記抵抗と前記スイッチング素子を前記機能回路基板のコネクタ近傍に実装し、更に前記機能回路基板の挿入の際、挿入が完了し、前記機能回路

基板への給電が安定した後で前記スイッチング素子を導通するよう制御し、稼働中に機能回路を含む機能回路基板を、前記装置内のバスを停止或いは休止することなく挿入或いは抜去することを可能にしたことを特徴とするものである。

【0021】また本発明は、特に挿入時において、スイッチング素子を遅延させたバスロックに同期制御させることで、スイッチングにより発生するノイズの影響を防ぐことを特徴とするものである。

【0022】

【発明の実施の形態】本発明の第1の実施例を図1を用いて具体的に説明する。1は、コンピュータを初めとする電子情報処理装置においてCPUが直接または間接的に接続され、またはコンピュータを初めとする電子情報処理装置内において、データを転送するためのバス配線であり、バックパネル5に配線されている。3は、挿抜可能な機能回路基板である。ここでは図示していないが、このバス配線1には、複数の機能回路が接続されている。これら機能回路のいずれかにCPUが接続される場合もある。4はコネクタであり、機能回路基板3は、このコネクタ4を介してバックパネル5に接続される。

【0023】10は、機能回路基板3に実装された機能回路であり、この機能回路10は、バス配線1に、コネクタ4とスイッチング素子11、プリチャージ用抵抗12、及び配線（引出線）13を介して接続されている。ここでスイッチング素子11は、MOS電界効果トランジスタで表記したが、他の高速動作が可能なリレー・バイポーラトランジスタで構成されたスイッチなどでも良い。そしてこのスイッチング素子11とプリチャージ用抵抗12は、並列接続されている。また、機能回路10は、静電容量を持ち、特にC-MOS LSIは容量が大きい。C-MOSの場合、約10~15 pF程度するのが普通である。なお、図1では、スイッチング素子11とプリチャージ用抵抗12を、コネクタ4と配線13との間に一組挿入しているが、実際には、少なくとも機能回路基板3から出力される信号線すべてに挿入する。

【0024】14は、スイッチング素子11のオン・オフを制御するスイッチング制御手段である。機能回路基板3への給電は、挿入時にコネクタ4の他のピンに割り当てられている電源・グランドピンを通じて行っても良いし、別に設けたコネクタ等の接続手段を介して行っても良い。機能回路基板3を活線挿入する場合、コネクタ4が完全に接続された後で且つ機能回路基板3への給電が安定した後、システムは機能回路10をリセットし、スイッチング制御手段14は、スイッチング素子11を非導通状態から導通状態へと制御する。このコネクタ4の接続完了の検出は、ユーザが別に設けられたスイッチをオンにすることにより行ってもいいし、コネクタ4に設けられた他のピンより短い最短ピンの接触を検出する等して自動的に挿入完了を検出することも可能である。

【0025】活線抜去を行う場合、IEEE 896.2(Futurebus+, Physical Layer Specifications & Profile)にも記載されているように、機能回路基板3は、システム側から、活線抜去されることを通知されると、次のことを行う。

【0026】(1) 現在進行中のすべての仕事を完了する。

【0027】(2) 自基板がこれ以上のバス・トランザクションに参加しないようにする。

【0028】(3) バスのすべての出力をリリースする（高抵抗状態にする）。

【0029】ここで本発明では、機能回路基板3がシステム側から活線抜去を通知されると、上述のように機能回路10のバスアクセスやコントロール信号等の出力を停止した後、且つ、スイッチング制御手段14はシステム側から活線抜去を通知されると、機能回路基板3が抜去される前に、スイッチング素子11を導通状態から非導通状態へと制御する。

【0030】以上のように、活線抜去の前にスイッチング素子11を非導通にするので、仮に、機能回路10が故障しバス信号をリリースできないような、重度の障害時でも、バス配線1や、他の機能回路基板に影響を与えることなく抜去できるという更なる効果がある。

【0031】なお、スイッチング素子11は、機能回路基板3を挿入後スイッチング制御手段14から導通信号を受け取った時点から、機能回路基板3を抜去する前に非導通信号を受け取るまでの機能回路10が動作可能な間中、導通しており、この状態ではスイッチング素子11での遅延は無視できるくらい小さい。そのためバスの高速化に制限を与えることはない。

【0032】図4~図7を用いて、本発明の第1の実施例の動作と挿入時のノイズ低減効果を、図2に示す構成と比較して説明する。図2に典型的なバックプレーンバス方式においてバススイッチを用いた活線挿抜回路の等価回路を示す。また、図中の各部に記載の数値は、後に述べるシミュレーションの条件である。

【0033】図2に示す回路構成例において、1-1、1-2はバックパネル5上でバスをなす伝送線路である。3-1、3-2、3-3は、バックパネル5に挿抜される機能回路基板であり、機能回路基板3-1、3-3が装着され、バス1-1、1-2を通じてデータ転送を行っている。そこに機能回路基板3-2のコネクタ4が挿入され、機能回路基板3-2に給電される電圧が安定した後、スイッチング素子11を導通させるものである。13-1、13-2、13-3は、バス1-1、1-2からの配線（引出線）であり、機能回路10-1、10-2、10-3（明示していない）の入出力バッファ20-1、20-2、20-3に接続されている。

【0034】ここで機能回路基板3-1の機能回路10から“H”データ（=5V）が出力され、バス1-1、

1-2に接続されている他の機能回路基板3-2、3-3は出力していないハイインピーダンス状態にあるものとする。さらに、機能回路基板3-2のスイッチング素子1-1は導通状態にあるものとする。即ち、等価回路的には静電容量のみバス上に接続されている状態である。このため機能回路10-2、10-3の入出力バッファ20-2、20-3は、入出力回路の持つ静電容量で表した。

【0035】機能回路基板3-2において、もしスイッチング素子1-1が無いとすると、半導体がC-MOSで構成されているばあい、この静電容量は10~20 pFであり、この実施例では10 pFである。配線(引出線)13-2の長さは、接続される機能回路10の大きさに依存する。最近の多ピンLSIで一边が40~50 mmのパッケージも少なくないことから、50~100 mmに成ることもある。配線容量は、1 cm当たり1.0 pF程度であるから、1LSIあたり5~10 pFとなる。したがって線路の容量と機能回路の容量を合わせると15~20 pFとなりバス容量150~200 pFと比べて無視できなくなり大きくなり、バス信号に電位差がある場合ノイズを発生させ得る。

【0036】他方、スイッチング素子が非導通の状態でコネクタを挿入する場合のバス信号に与えるノイズの影響は小さい。なぜなら、挿入される信号線の持つ容量は、コネクタ4からスイッチング素子1-1までの配線の容量とスイッチング素子の入力容量の和であり、この線路は最短で配線されるため(5~10 mm程度)、総容量は、5~6 pFと小さく、この容量に充放電することによるノイズの発生は、信号振幅に対し、約1/40~1/20と小さくなるためである。

【0037】3-1はスイッチング素子1-1を制御する制御電源であり、ここでは、この制御電源3-1が“H”出力したときスイッチング素子1-1は導通する。これは、例えばNチャネルMOS電界効果型トランジスタに最適であり、PチャネルMOSでは、“L”出力の時、導通する。出力バッファ20-1、及び容量20-2、20-3の端子電圧をそれぞれV(1), V(2), V(3)で表記する。

【0038】図3は、以上の等価回路を用いて機能回路基板3-2をバスに接続した場合をシミュレーションした波形図である。図3において、V(2), V(3)の電圧波形を示す。これは、シミュレーション開始後2 nsにスイッチング素子を導通させた結果で、V(3)では、電圧が5 Vから2.2 Vまで下がっていることが分かる。つまり、基板3-2を接続後スイッチング素子を導通させる場合に、バス上の他の機能回路において、ノイズが2.8 V(=5-2.2 V)生じることを意味する。これは、誤動作が引き起こるレベルであり、このノイズのために装置が誤動作することになる。

【0039】次に本発明の第1の実施例の動作と挿入時

のノイズ低減効果を図4~図7を参照して説明する。図2に対応する部分には、同じ符号をつけて重複する説明を省略した。以下の説明も同様である。図4は、図2と同様に、バックパネル5に2枚の機能回路基板3-1、3-3が装着されており、更に1枚の機能回路基板3-2を挿入する場合の実施例であって、第1の実施例のスイッチング素子1-1とプリチャージ用抵抗1-2の並列接続の効果を解析するための回路モデルである。

【0040】ここで、図1に示すスイッチング制御手段1-4の出力信号を、制御電源3-1で等価的に置き換えている。また、機能回路基板3-2を挿入する際のコネクタ4の等価回路を、スイッチ1-5で置き換え、コネクタ4が接触した状態を、スイッチ1-5の導通と等価に置き換えることで回路解析した。これは、機能回路基板3-2が挿入される場合、バックパネル5と機能回路基板3の対応するコネクタ4のビンが接触して電気的に接続されるまでの時間は、瞬間的であるからである。30は、このスイッチ1-5の制御電源である。

【0041】図5に、図4の構成でシミュレーションを行ったときの各部の波形を示す。図5(a)に、スイッチ1-5を制御する信号、即ち制御電源3-0の出力信号のタイミングを示す。制御電源3-0は、シミュレーション開始後の5 ns後に導通するようスイッチ1-5を制御する。

【0042】図5(b)に、スイッチング素子1-1の制御信号のタイミングを示す。ここでは、制御電源3-1は、シミュレーション開始後80 nsで導通する様スイッチング素子1-1を制御することを示している。ここでスイッチング素子1-1が導通する時刻を、スイッチ1-5が導通した時刻から離れた理由は、スイッチ1-5が導通した後バス波形が安定になるまで待つことでスイッチ1-5と制御電源3-1の干渉を少なくするためである。

【0043】また、図5(c)に、機能回路基板3-3に実装された機能回路10-3をモデル化した容量20-3の電圧波形V(3)を示している。さらに、スイッチ1-5が導通したことにより発生したノイズの影響で、V(3)がもっとも低くなった点をV(3)minで定義している。図5(d)は、挿入される機能回路基板3-2の機能回路10-2をモデル化した容量20-2の電圧波形V(2)を示している。さらに、コネクタ4が接触した、即ちスイッチ1-5が導通になった時点から信号振幅(ここでは5 V)の $1 - 1/e$ (63.2%)となるまでの時間τ、即ち時定数の定義を示している。ここで、eは自然対数の底である。

【0044】図6は、図4の構成において、プリチャージ用抵抗1-2を500 Ωとしてシミュレーションを行った場合の各点での電圧波形を示している。V(3)minは、4.09 Vであり、V(2)の時定数τは7.8 nsであることが分かる。図7に、プリチャージ用抵抗1-2を50 Ω~4 kΩまで変化させたときの、V(3)

$i_{min}$  と  $\tau$  の変化を示している。プリチャージ用抵抗 1 2 の抵抗値が大きくなるに従い遅延時間  $\tau$  はほぼ線形に増加しているが、V(3)  $i_{min}$  は 500 Ω より大きい抵抗で約 4.2 V に緩やかに漸近することが分かった。即ち 200 Ω 以下の抵抗値では、時定数は短いが発生するノイズが大きい。プリチャージ用抵抗 1 2 が 200 Ω の時、発生ノイズは 1.42 V (= 5 - 3.58 V) であり、TTL, CMOS 半導体の場合、入力マージンより小さいので問題ないことが分かる。このため、プリチャージ用抵抗 1 2 は 200 Ω 以上が望ましい。

【0045】更に、プリチャージ用抵抗 1 2 が 500 Ω 以上の時、発生ノイズは 0.91 V (= 5 - 4.09 V) 以下となるので、電源のリップル等 0.5 V 程度の

$$V_2(t) = E_o (1 - \exp(-t/\tau)) \quad (1)$$

ここで V(2) の時間関数を  $V_2(t)$  で表わしている。また、 $E_o$  は図 4 中出力バッファ 20-1 の出力電圧である。また、時定数  $\tau$  は  $\tau = R_d \cdot C$  であり、図 7 から静電容量  $C$  は約 17.2 pF である事が判る。

【0046】挿入された機能拡張基板 3-2 の配線 13-2 の電圧は抵抗 1 2 により遅延するため、この遅延が大きいとバス上にグリッジが生じる場合がある。なぜならば、バスサイクルを越えるような遅延がある場合、スイッチング素子 1 1 のオンのタイミングがバスサイクルの切替直後であって、バスサイクルの切替直後のドライバ 20-1 がデータが H から L あるいは L から H へ変化

$$V_2(T_{c1k}) = X * E_o \quad (2)$$

式 (2) を式 (1) に代入して整理すると

$$R_d = T_{c1k} / (C \cdot \log(1/(1-X))) \quad (3)$$

となる。式 (3) で与えられる関係式により、バスサイクル  $T_{c1k}$  の時間内での、プリチャージ用抵抗 1 2 の値と、出力バッファの出力電圧  $E_o$  に対する配線電圧の充電率  $X$  が関係づけられる。

【0050】例えば、33 MHz の高速バスの場合バスサイクルは 30 ns であり、静電容量  $C$  が図 4 と同じ 17.2 pF である場合、充電率  $X$  を 70% 以上で設計すると抵抗 1 2 は 1.4 KΩ 以下となり、充電率  $X$  を 80% 以上で設計すると抵抗 1 2 は 1.1 KΩ 以下となり、充電率を 90% 以上で設計すると抵抗 1 2 は 750 Ω 以下となり、充電率 95% ならば抵抗 1 2 は 582 Ω 以下になる。

【0051】更に 60 MHz のバスの場合は充電率  $X$  を 70%、80%、90%、95% 以上に設計する場合、抵抗 1 2 はそれぞれ 724 Ω、540 Ω、378 Ω、291 Ω 以下となる。実際は  $E_{12}$  シリーズなど市販されている抵抗値でこれらに近い値を用いる。

【0052】このようにして、プリチャージ用の抵抗 1 2 は 200 Ω 以上望ましくは 500 Ω 以上でかつ、式 (3) から求まる、すなわち、バスの動作周波数と、活線挿入する機能回路基板の持つ静電容量  $C$  と、充電率  $X$  から求まる抵抗 1 2 の抵抗値の上限値を選択すること

ノイズが重ね合わさっても充分許容できるので、高信頼性のために望ましい。

【0046】他方、高速バスに対応するためには、遅延時間  $\tau$  をバス周期  $T_{clk}$  に対応した値以下に抑える必要がある。プリチャージ用抵抗 1 2 が大きくなるに従い遅延時間  $\tau$  は長くなり、挿入された機能拡張基板のスタブ電圧がバス信号に追従できなくなるからである。図 7 から、プリチャージ用抵抗 1 2 の抵抗値  $R_d$  と遅延時間  $\tau$  との関係は線形的であるので、 $R_d$  と静電容量  $C$  の直列接続に近似できる、遅延時間  $\tau$  と抵抗  $R_d$  及び静電容量  $C$  の関係は次式で表わされる。

【0047】

$$V_2(t) = E_o (1 - \exp(-t/\tau)) \quad (1)$$

する場合、バス 1 の電圧と配線 13-2 間の電圧差は大きいままなので、バス 1 上にグリッジノイズが発生するためである。このバスグリッジノイズを小さくするためには配線 13-2 の電圧がバス信号電圧に追従する必要がある。

【0049】そのためには、バスサイクル  $T_{c1k}$  以内で、配線 13-2 の電位  $V(2)$  がバス電位すなわち出力バッファ 20-1 の出力電圧  $E_o$  と同程度の電位になる必要がある。バス周期  $T_{c1k}$  での  $E_o$  に対する電位  $V_2(T_{c1k})$  の割合を  $X$  とすると以下の関係が成り立つ。

$$(2)$$

$$R_d = T_{c1k} / (C \cdot \log(1/(1-X))) \quad (3)$$

で、活線挿入時に発生するノイズと抵抗 1 2 に係る遅延を最適に決定することが出来る。

【0053】ここで、バス接続までの配線 13-2 の長さや、機能拡張回路 10 の入力容量は、バス方式や、LSI パッケージやバスインターフェースに依存するので、ここで用いた値より大きい場合もあるし、小さい場合もある。しかしこの場合でも式 (3) により最適な抵抗  $R_d$  を求めることが出来る。

【0054】コネクタが挿入完了しバス 1 の電圧と配線 13-2 の電圧の差が小さくなつた後、図 5 (b) に示すように、スイッチング素子を導通しても図 5 (c) に示すように  $V(3)$  の変化は少なく、他の機能回路基板は誤動作しない。なお、図 5 (b) 中の 80 ns はここではシミュレーション条件として用いた時間であり、前記電圧差が十分小さくなつた後なら何時であつてもよい。以上は、機能回路基板を挿入する際、発生するノイズに関する結果であるが、機能回路基板を抜去する際は、バス線と抜去される線路の電位差が無いのでバス信号上にノイズは発生せず、誤動作の原因とはならない。

【0055】このように、スイッチング素子 1 1 とプリチャージ用抵抗 1 2 を並列接続することで、スイッチング素子 1 1 がオフした状態でコネクタ 4 に機能回路基板

3を挿入しても、バス上にノイズを生じさせることはない。しかも挿入後にスイッチング素子11を導通させてもプリチャージ用抵抗12の働きでバスと機能回路の線路との電位差は充分縮まっているため、バス上のノイズを極小にすることができる。すなわち、装置及び装置内のバスを停止或いは休止することなく、機能回路基板を挿入することができる。

【0056】また、機能回路10が稼働可能状態であるとき、スイッチング素子11が導通しているので、このスイッチング素子11とプリチャージ用抵抗12で発生する遅延は、バス高速化に制限を与えないという効果もある。即ち、本実施例では、バス高速化と活線挿抜の両立が可能となる。

【0057】次に、本発明の第2の実施例を図8を用いて説明する。図8は、スイッチング制御手段14のプロック図である。40は、基板挿入完了信号で、第1の実施例と同じくユーザが別に設けられたスイッチをオンすることで、或いは、コネクタ4に設けられた極短ピンの接触を検出することで発生する。そして、機能回路基板3には、基板挿入完了信号40を入力する入力手段(入力端子)を備えている。

【0058】同期式のバスは一般的に、データ線・アドレス線・コントロール線のほかにクロック線を持っており、このクロックに従いデータ転送を行っている。すなわちクロックに同期したタイミングでデータ送信あるいはデータ受信を行っている。このためシステム内にクロックを生成・分配するクロック分配器を必ず持つている。41は、図1では図示していないこのクロック分配器からのバスクロック信号である。このクロック分配器は機能回路基板3上に設けてもよいし、あるいはバックパネル5からコネクタ4を介して供給してもよい。そして、機能回路基板3には、バスクロック41を入力する

$$X = V_2 (\Delta t + T_{pz} h) / E_o \quad (4)$$

ここで $T_{pz} h$ はスイッチング素子11がスイッチング制御信号42の入力からバス1と配線13を導通させるまでの時間であり、このスイッチング素子11をC-MOSで構成する場合の典型的な値は1.5~6.5ns程度である。

【0063】スイッチング素子11が導通する時刻がバスサイクルの切替直後の場合、バス1とバス配線13の電圧差あるいは電圧比はバス1のデータがLからHあるいはHからLへ変化したときに最大であるため大きなバスグリッジが生じてしまう。そのため $\Delta t$ は、スイッチング素子11が導通する時刻をバス切り替え前にし、かつ前記電圧差あるいは電圧比を最少にする必要がある。

【0064】そこで $\Delta t$ は、 $\Delta t$ とスイッチング素子11のスイッチング時間( $T_{pz} h$ )、及びシステムのクロックスキューを足した値がバスサイクル $T_{clk}$ より短くなるように制御されている。ここでクロックスキューとはバス1に接続されている機能回路のすべてに供給

入力手段(入力端子)を備えている。

【0059】50は、このバスクロック41を $\Delta t$ 秒遅延させる信号遅延手段である。51は、前記基板挿入完了信号40をバスクロック41で同期化する同期化手段であり、42のスイッチング素子11の制御信号を生成するものである。同期化手段51は、Dフリップフロップで構成するのが容易である。またスイッチング素子制御信号42は、複数の信号線に設けられたスイッチング素子11を制御するので、同期化手段51の後段に設けられたバッファを介して出力されてもよい。

【0060】図9に機能回路基板を挿入する際における各タイミングを示す。この図は、(1)機能回路基板3が挿入完了され、(2)この機能回路10の電源電圧が安定し、(3)この機能回路10が機能回路基板毎に設けられたリセット信号によりリセットされリセットが完了した後の、スイッチング素子11の制御信号のタイミングを示している。図9(a)は、バスクロック41を示し、図9(b)はバックパネル5におけるバス1上の信号を示し、図9(c)はスイッチング制御手段スイッチング素子11の制御信号42を示している。スイッチング制御手段信号42(c)は、同期化手段51と、遅延手段50の働きで、バス信号1(b)の切り替わりから、必ず $\Delta t$ 秒遅延して生成されることになる。

【0061】この $\Delta t$ の値を次に説明する。スイッチング素子11がオンするとき、スイッチング制御信号42は遅延しているもののクロックに同期しているため、配線13の電圧 $V_2$ はバス1の電圧すなわち機能回路10のドライバの出力電圧 $E_o$ に対し式(1)で表わされる電圧まで必ず充電(放電)されている。そのためスイッチング素子11がオンになる時、バス1と配線13の電圧比は次式になる。

【0062】

さて、 $\Delta t$ は、一般的にはバスサイクルの位相時間差をいい、一般的にはバスサイクルの最大1割程度ある。具体的にはバスサイクルが30nsの場合、 $\Delta t$ は30nsから $T_{pz} h$ (1.5~6.5ns)と更にバスサイクルの1割程度あるシステムのクロックスキュー(3ns)を引いた2.5~20.5ns以内となる。更にスイッチング制御信号42が長い場合、あるいは同期化手段51の遅延が長い場合、この信号の伝搬遅延時間を引く。このスイッチング制御信号42の配線が12cm程度なら約1nsである。

【0065】また、バスサイクルが15nsの場合、 $\Delta t$ は15nsから $T_{pz} h$ (1.5~6.5ns)と更にバスサイクルの1割程度あるシステムのクロックスキュー(1.5ns)を引いた1.2~7ns以内となる。また同様にスイッチング制御信号42が長い場合、あるいは同期化手段51の遅延が長い場合、この信号の伝搬遅延時間を引く必要がある。このように制御することで

スイッチング素子11はクロックに同期して配線13をバスサイクルTc1kを超えることなく充電あるいは放電した後に導通することが出来るのでバス1に与えるバスグリッジノイズを必ず極小に出来るという効果がある。

【0066】次にプリチャージ用抵抗Rd12について述べる。スイッチング素子11がオンする直前のバス1

$$R_d = (\Delta T + T_{pz} h) / (C \cdot \log(1 / (1 - X))) \quad (5)$$

式(5)で与えられる関係式により、スイッチング素子11をクロックに同期させる場合のプリチャージ用抵抗12の値と、出力バッファの出力電圧Eoに対する配線電圧の充電率Xが関係づけられる。

【0068】スイッチング素子11が( $\Delta t + T_{pz} h$ )で導通するにしても、この充電率Xにより、バス1と配線13の電圧差が異なるため導通に係るバスグリッ

$$V_{nmH} = V_{oh, min} - V_{ih, min} \quad (6)$$

$$V_{nmL} = V_{il, max} - V_{ol, max} \quad (7)$$

ここで $V_{oh, min}$ はHデータの最少出力電圧、 $V_{oh, max}$ はLデータの最大出力電圧である。同様に $V_{il, max}$ はLデータの最大入力スレショルド電圧、 $V_{ih, min}$ はHデータの最少入力スレショルド電圧である。代表的なTTLインターフェースでは $V_{nmH} = 0.7V (= 2.7 - 2.0V)$ 、 $V_{nmL} = 0.3V (= 0.8 - 0.5V)$ である。代表的な3.3VのCMOSインターフェースの場合 $V_{nmH} = 1.35V (= 3.0 - 1.65V)$ 、 $V_{nmL} = 0.67V (= 5 : 4 = E_o * (1 - X))$

TTLの場合、Eoすなわちバスインターフェース回路の出力電圧 $V_{oh}$ は3.5Vであり、 $V_{noise}$ はノ

$$V_{noise} < V_{nm1} = 0.3 \quad (8)$$

であるのでXは式(8)より、89.5%以上となる。

【0072】例えば、3.3MHzの高速バスの場合バスサイクルは30nsであり、静電容量Cが図4と同じ17.2pFである場合、充電率を90%以上で設計すると抵抗12は750Ω以下となり、充電率95%ならば抵抗12は582Ω以下になる。更に6.0MHzのバスの場合は充電率Xを90%、95%以上に設計する場合、抵抗12はそれぞれ378Ω、291Ω以下となる。実際はE12シリーズなど市販されている抵抗値でこれらに近い値を用いる。

【0073】このようにして、MOS型トランジスタスイッチング素子を用いた場合、プリチャージ用の抵抗12は200Ω以上望ましくは500Ω以上でかつ、バスサイクルが30nsなら750Ω以下で望ましくは582Ω以下に、また、バスサイクルが15nsなら200Ω以上で378Ω以下が望ましく291Ω以下が最適である。

【0074】活線挿抜する機能回路基板3の配線13が持つ静電容量Cが17.2pF以外の値を持つ場合は、あるいはバス動作周波数や、入力ノイズマージンが上述

と配線13の電圧比はクロックスキーの変動分はあるものの平均値を取ると式(4)で表わされる値を取る。この電圧比Xは時刻 $\Delta t + T_{pz} h$ での充電率を示しており、抵抗Rd12はこの充電率Xと配線13の静電容量Cにより変わり、これは式(4)を式(1)に代入して整理する事で得られる。

【0067】

ジが異なる。すなわち充電が十分でないときにはスイッチング素子11が導通すると、図3のような波形となるためである。この抵抗Rd12とバスグリッジノイズの関係を以下に示す。機能回路の持つ入力回路のノイズマージン $V_{nm}$ は、次式で定義される。

【0069】

$$V_{nm} = V_{oh, min} - V_{ih, min} \quad (6)$$

$$V_{nm} = V_{il, max} - V_{ol, max} \quad (7)$$

1-0.33V)である。

【0070】スイッチング素子11が導通時に発生するバスグリッジノイズ $V_{noise}$ は、バス1と配線13の電圧差に比例し図7から $V_{oh} = 5V$ で抵抗 $R_d = 0\Omega$ 時の発生ノイズが4Vであるので、充電率Xのときのバス1と配線13の電圧差は $E_o * (1 - X)$ であることから以下の関係が成り立つ。

【0071】

$$V_{noise} = V_{oh} * (1 - X) \quad (8)$$

ノイズマージン未満に押さえるためすなわち

$$V_{noise} < V_{nm1} = 0.3 \quad (9)$$

の構成と異なる場合、式(4)～(8)を用いて抵抗12の抵抗値の上限値を選択することができ、これにより、活線挿抜時に発生するノイズと抵抗12に係る遅延を最適に決定する事が出来る。

【0075】また、図1においてスイッチング素子11と抵抗12及びスイッチング制御手段14をバックパネル5側に設けても全く同様な効果が得られる。また、その他の効果として活線挿抜機能を有していない既存のバックパネルバスを有するシステムにおいて、機能回路基板は変更せず、バックパネル5に活線挿抜回路すなわち抵抗12、スイッチング素子11、スイッチング制御手段14を追加するだけで活線挿抜できるシステムを容易に構築できる。

【0076】スイッチング制御手段14でスイッチング素子11の導通タイミングをバスクロック4.1に同期化することで、挿入時におけるバックパネル5上のバス1と挿入される機能回路基板3上の配線(引出線)13の電位差を確実に小さくすることができるので、バス上に発生するノイズを完全に極小化でき、コンピュータを始めとする電子情報処理装置の信頼性を益々向上させるこ

とができる。これにより、コンピュータを初めとする電子情報処理装置及び該装置内のバスを停止或いは休止することなく、機能回路を挿入することができるという効果がある。

【0077】また、機能回路10が稼働可能状態であるとき、スイッチング素子11が導通しているので、このスイッチング素子11とプリチャージ用抵抗12で発生する遅延は、バス高速化に制限を与えない。即ち、バス高速化と活線挿抜とを高い信頼性を保ちつつ両立させることができるものである。

【0078】次にフォールトトレラントコンピュータに応用した実施例について、図10を参照して説明する。即ち、101～104は、CPUである。111、112はバスブリッジであり、CPU101～104と主メモリ121、122とシステムバス201、202を相互に接続する。また、141、142は、I/Oバス211、212にクロス接続されたRAIDディスクであり、151、152は、バス211、212に接続された通信機能モジュールである。131、132は、バスブリッジである。これらは同一な部品からなる2系のシステムを2重化したものであり、このことで冗長性を持たせることで耐故障性の向上を図っている。

【0079】このような構成のシステムにおいて、バス201、202、211、212に接続される機能モジュールに本発明の並列接続された抵抗とスイッチング素子及びその制御回路を付加することで活線挿抜を実現することができる。このことにより、システムとしてシステムが通電、かつ動作中にも関わらず故障モジュールの抜去、新機能の追加を行なうことができる。このことは、システムダウンが許されないミッションクリティカルなシステム、例えば勘定系や自動券券・予約システム、交換機等に応用することができる。図10に示したシステム構成以外でも、システムバスに主メモリやCPUを直接接続するような構成にしても、同じ様な機能を提供することができる。

【0080】

【発明の効果】本発明によれば、コネクタの接触及びス

イッティング素子の導通によるノイズ発生を抑えることができる、コンピュータを初めとする電子情報処理装置及び該装置内のバスを停止或いは休止することなく、機能回路基板をバスへ挿入することが可能になる。

【0081】さらに、本発明によれば、機能回路が稼働可能状態である時、スイッチング素子が導通しているので、バス高速化に制限を与えないという効果も奏する。

【0082】また、本発明によれば、機能回路基板を抜去する際のノイズ発生を防ぐことができるので、活線抜去が可能になる。

【0083】即ち、本発明によれば、コンピュータをはじめとする電子情報処理装置において、バス高速化と活線挿抜の両立が可能になり、処理性能と信頼性の向上が可能になる。

#### 【図面の簡単な説明】

【図1】本発明における第1の実施例の概略を示す構成図である。

【図2】従来例における活線挿抜回路の等価回路を示す図である。

【図3】図2の構成での各点での電圧波形を示す図である。

【図4】本発明の第1の実施例に係る回路の等価回路を示す図である。

【図5】図4に示す回路構成におけるタイミングを示す図である。

【図6】図4に示す第1の実施例に係る回路構成における電圧波形を示す図である。

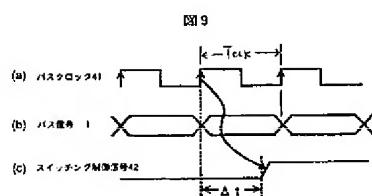
【図7】本発明の第1の実施例に係るプリチャージ用抵抗を変化させたときのバスノイズと遅延時間の相関を示す図である。

【図8】本発明に係る第2の実施例であるスイッチング制御手段の概略構成を示す図である。

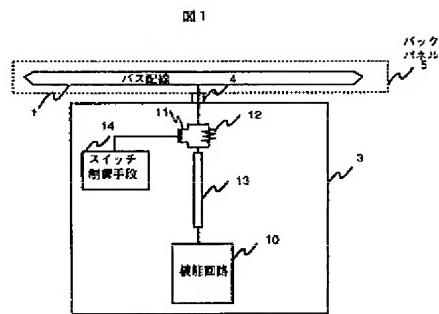
【図9】図8に示すスイッチング制御手段におけるタイミングを示す図である。

【図10】本発明をフォールトトレラントコンピュータに応用した実施例を示す構成図である。

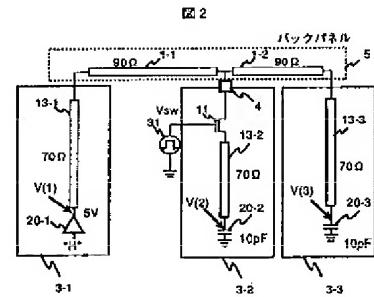
【図9】



【図1】

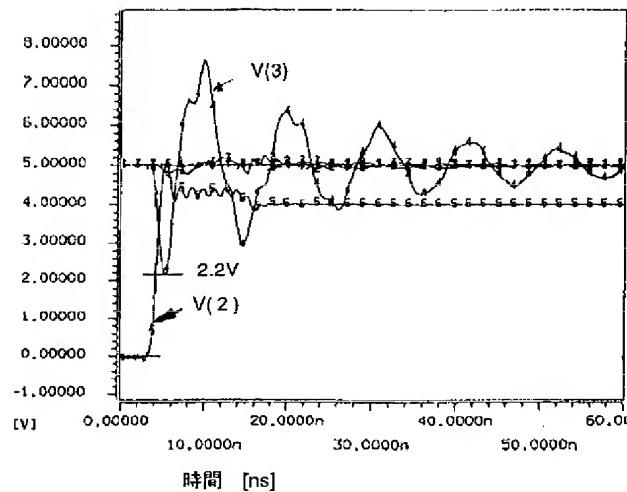


【図2】

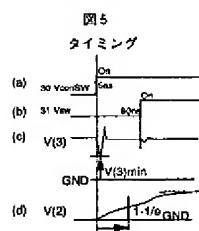


【図3】

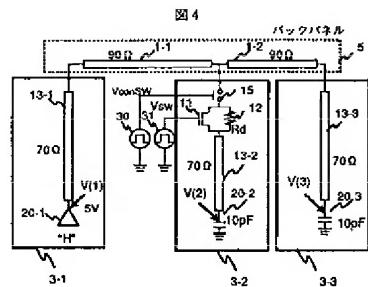
図3



【図5】

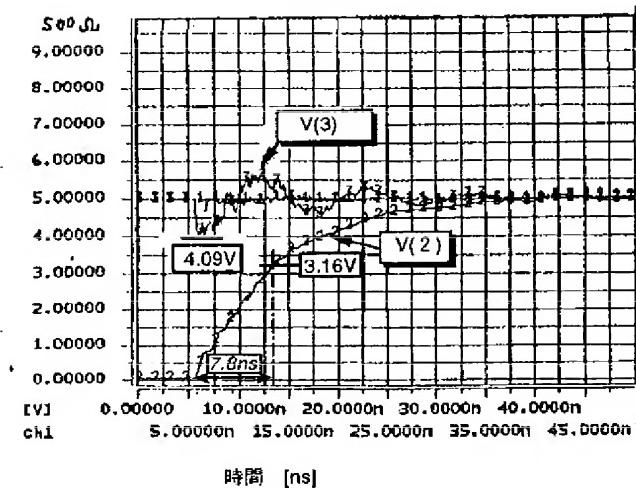


【図4】



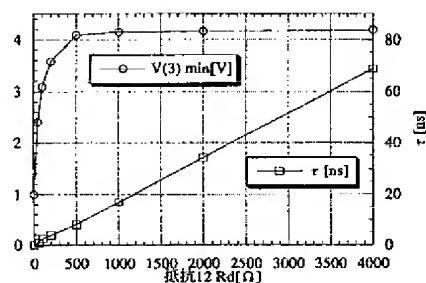
【図6】

図6



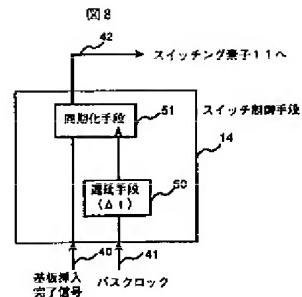
【図7】

図7



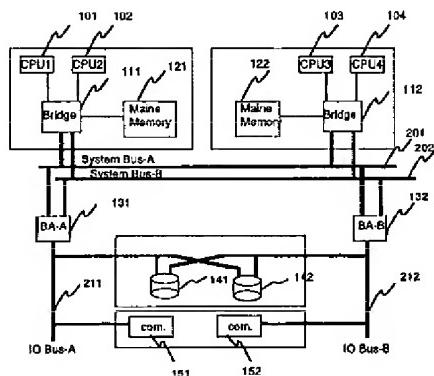
【図8】

図8



【図10】

図10



フロントページの続き

(72)発明者 井上 雅雄  
 神奈川県海老名市下今泉810番地 株式会  
 社日立製作所オフィスシステム事業部内